

15. Übung Funktionsblöcke

Inhalt: PLA, PAL, FPGA

1. Aufgabe

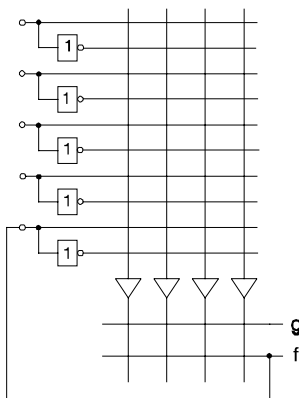
Realisieren Sie unter Verwendung eines PLA einen kaskadierbaren Prioritätskodierer, der 7 Eingangsleitungen, denen verschiedene Prioritäten zugeordnet sind, auf 3 Ausgangsleitungen kodiert. Er soll folgendes leisten:

- Sind sämtliche Eingangsleitungen auf 0, so sind auch sämtliche Ausgangsleitungen auf 0.
- Ist mindestens eine Eingangsleitung 1, so liefern die Ausgangsleitungen ein Bitmuster, dessen Dezimaläquivalent dem Index der Eingangsleitung mit der höchsten Priorität entspricht, die auf 1 ist.

Ermitteln Sie, welche zusätzlichen Ein- und Ausgänge für die Kaskadierbarkeit benötigt werden.

2. Aufgabe

Die beiden Boole'schen Funktionen f und g sollen gemeinsam in einem PLA realisiert werden.

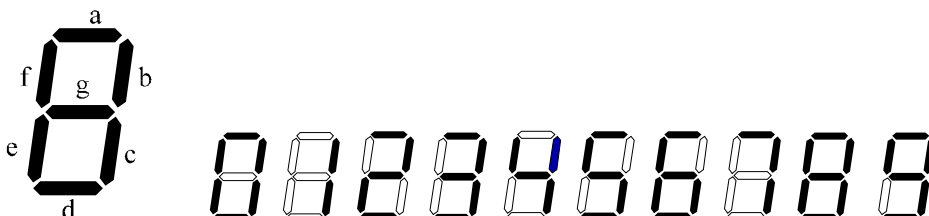


$$f(a,b,c,d) = \bar{a} \bar{b} \bar{c} \vee b c$$

$$g(a,b,c,d) = \bar{a} b c \vee b c d \vee \bar{a} \bar{b} \bar{c} d$$

3. Aufgabe

Realisieren Sie einen BCD-Kode-zu-7-Segment-Kode-Umsetzer mittels PLA.



- Erfassen Sie entsprechend der vorgegebenen Zifferndarstellung die Wahrheitsfunktion der einzelnen Leuchtsegmente(a..g).
- Geben Sie alle erforderlichen Gleichungen zur Umsetzung mit PLA an.

4. Aufgabe

Realisieren Sie einen 8421-Kode zu Gray-Kode-Umsetzer mittels PLA.

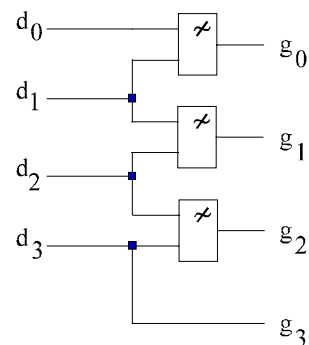
Dez. Ziffer	d_3	d_2	d_1	d_0	g_3	g_2	g_1	g_0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0
9	1	0	0	1	1	1	0	1
10	1	0	1	0	1	1	1	1
11	1	0	1	1	1	1	1	0
12	1	1	0	0	1	0	1	0
13	1	1	0	1	1	0	1	1
14	1	1	1	0	1	0	0	1
15	1	1	1	1	1	0	0	0

Nutzen Sie zur Umsetzung die Bildungsvorschrift des Gray-Kodes aus:

BCD-Kode-Darstellung (d_n, d_{n-1}, \dots, d_0)
 Gray-Kode-Darstellung (g_n, g_{n-1}, \dots, g_0)

"Man schreibt die BCD-Zahl hin, darunter um eine Stelle nach rechts verschoben nochmals die gleiche BCD-Zahl und bildet die XOR-Verknüpfung. Die letzte Ziffer wird weggelassen."

	d_3	d_2	d_1	d_0	
\nearrow		d_3	d_2	d_1	d_0
	g_3	g_2	g_1	g_0	

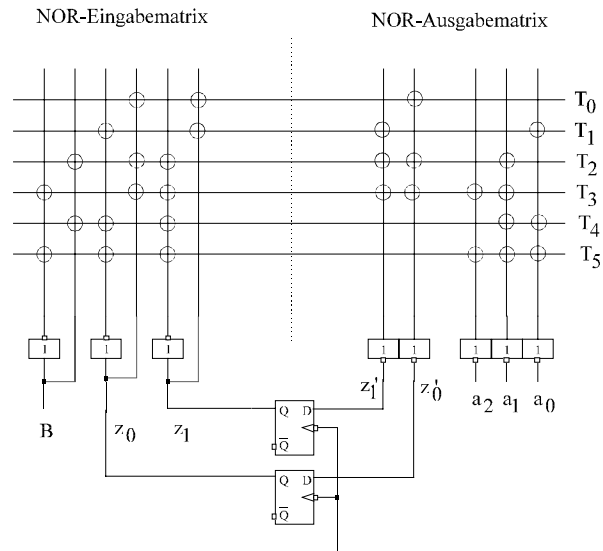


5. Aufgabe

Realisieren Sie mit einem (speicherfreien) PLA und 3 D-FF's einen umschaltbaren 3 Bit-Gray-Kode-Vor/Rückwärtszähler. Für $x=0$ soll der Zähler vorwärts zählen, für $x=1$ rückwärts. Benutzen Sie zur Umsetzung der Schaltfolgetabelle die PLA und führen sie die PLA-Ausgänge über die D-FF's zurück auf die PLA-Eingänge.

6. Aufgabe

Die nachfolgende schematische Darstellung zeigt eine PLA, bei der alle Signalverknüpfungen mit NOR-Gattern realisiert sind. Im linken Teil der Matrix (Eingabematrix) erfolgt die NOR-Verknüpfung der Eingangssignale zu den Termen $T_0 \dots T_5$ (negierte Elementarkonjunktionen). Die Ausgangssignale ergeben sich durch die OR-Verknüpfung (NOR + nachgeschalteter Negator) der Terme $T_0 \dots T_5$. Die Ausgangssignale z_1, z_0 werden über D-FF's auf die Eingänge zurückgeführt.



- Handelt es sich um eine kombinatorische oder sequentielle Schaltung ?
- Wie lauten die Terme $T_0 \dots T_5$?
- Wie funktioniert diese Schaltung, was wird durch sie realisiert ?